

MENU

SEARCH

INDEX

DETAIL

NEXT

1/2



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11)Publication number: 10207580

(43)Date of publication of application: 07.08.1998

(51)Int.Cl.

G06F 1/26
G06F 1/28
G06F 1/24
H03K 17/22

(21)Application number: 09006165

(71)Applicant:

HITACHI LTD
HITACHI CHIYOU LSI SYST:KK

(22)Date of filing: 17.01.1997

(72)Inventor:

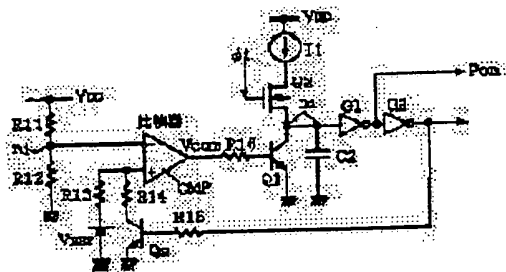
KADOKAWA SHIGERU
OGAWARA HIROSHI
ANDO MASAOKI

(54) POWER ON RESET GENERATION CIRCUIT, SEMICONDUCTOR INTEGRATED CIRCUIT AND IC CARD

(57)Abstract

PROBLEM TO BE SOLVED: To obtain a power ON reset generation circuit capable of accurately generating a power ON reset signal when power supply voltage reaches a prescribed level and interrupting the generation of the power ON reset signal when power supply voltage is within an allowable range even if the voltage is changed.

SOLUTION: Reference voltage is inputted to the input terminal of a comparator CMP for comparing voltage divided by voltage dividing resistor circuits R11, R12 for dividing power supply voltage with reference voltage Vref generated from a band gap reference voltage generation circuit through a resistor R13. A pull down circuit consists of a resistor R14 and a switch transistor (TR) Qs mutually connected in series, the TR Qs is controlled by an output signal, and after generating a power ON reset signal, the comparing level of the comparator CMP is forcibly reduced by the resistors R13, R14 as compared with that held before the generation of the power ON reset signal.



LEGAL STATUS

[Date of request for examination]
[Date of sending the examiner's decision of rejection]
[Kind of final disposal of application other than the
examiner's decision of rejection or application converted
registration]
[Date of final disposal for application]
[Patent number]
[Date of registration]
[Number of appeal against examiner's decision of rejection]
[Date of requesting appeal against examiner's decision of
rejection]
[Date of extinction of right]

Copyright (C); 1998 Japanese Patent Office

[MENU](#)[SEARCH](#)[INDEX](#)[DETAIL](#)[NEXT](#)

- (19)【発行国】日本国特許庁(JP)
(12)【公報種別】公開特許公報(A)
(11)【公開番号】特開平10-207580
(43)【公開日】平成10年(1998)8月7日
(54)【発明の名称】パワーオンリセット発生回路および半導体集積回路並びにICカード
(51)【国際特許分類第6版】

G06F 1/26

1/28

1/24

H03K 17/22

【FI】

G06F 1/00 330 G

H03K 17/22 C

G06F 1/00 330 E

333 D

351

【審査請求】未請求

【請求項の数】7

【出願形態】OL

【全頁数】9

(21)【出願番号】特願平9-6165

(22)【出願日】平成9年(1997)1月17日

(71)【出願人】

【識別番号】000005108

【氏名又は名称】株式会社日立製作所

【住所又は居所】東京都千代田区神田駿河台四丁目6番地

(71)【出願人】

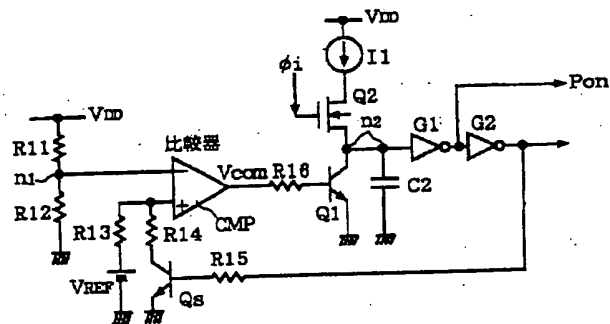
【識別番号】000233169

(57)【要約】

【課題】 電源電圧が所定のレベルに達したときに正確にパワーオンリセット信号を発生できるとともに、電源電圧が変動しても許容範囲内であればパワーオンリセット信号を発生しないようなパワーオンリセット発生回路の実現が望まれていた。

【解決手段】 電源電圧を分圧する抵抗分圧回路(R11, R12)で分圧された電圧とバンドギャップ基準電圧発生回路からの基準電圧Vrefとを比較する比較器

(CMP)の入力端子に抵抗(R13)を介して基準電圧を入力するとともに、直列形態の抵抗(R14)とスイッチトランジスタ(Qs)とからなるブルダウン回路を設け、前記スイッチトランジスタ(Qs)を出力信号によって制御して、パワーオンリセット信号発生後は上記抵抗(R13, R14)によって上記比較器の比較レベルをパワーオンリセット信号発生前よりも強制的に低くするようにした。



【特許請求の範囲】

【請求項1】 電源電圧を分圧する抵抗分圧回路と、該分圧回路で分圧された電圧と基準電圧とを比較する比較器と、該比較器の基準電圧入力側端子に接続された入力抵抗と、上記基準電圧入力側端子と接地点との間に接続された直列形態の抵抗とスイッチトランジスタとからなるブルダウン回路と、上記比較器の出力によって徐々に電圧を立ち上げる時定数回路とを備え、パワーオンリセット信号出力後は上記ブルダウン回路が動作されて上記比較器の基準電圧入力側端子に印加される電圧が下がるように構成されてなることを特徴とするパワーオンリセット発生回路。

【請求項2】 上記基準電圧はバンドギャップ基準電圧発生回路で発生された電圧であることを特徴とする請求項1に記載のパワーオンリセット発生回路。

【請求項3】 上記時定数回路は、容量と、該容量に選択的に電荷を注入する第1のスイッチトランジスタと、上記容量の電荷を上記比較器の出力に応じて引き抜くための第2のスイッチトランジスタとにより構成されていることを特徴とする請求項1または2に記載のパワーオンリセット発生回路。

【請求項4】 上記時定数回路の後段には、該時定数回路の充電電圧のレベルを判定して所定のレベルになったときにパワーオンリセット信号を出力する論理回路が接続されていることを特徴とする請求項1、2または3に記載のパワーオンリセット発生回路。

【請求項5】 電磁結合手段が接続される外部端子と、該外部端子に接続された電磁結合手段を介して入力された交流電圧を整流して直流電圧を形成する整流回路と、該整流回路で形成された電圧から所定のレベルの電源電圧を形成する定電圧電源回路と、該定電圧電源回路で生成された電源電圧の立ち上がりを検出してパワーオンリセット信号を形成する請求項1～4に記載のパワーオンリセット発生回路とを備えてなることを特徴とするICカードのトランシーバ用半導体集積回路。

【請求項6】 上記パワーオンリセット発生回路の次段に該パワーオンリセット発生回路で形成された信号に基づいてクロック信号の計数を開始して所定数を計数したときにリセットパルスを出力するリセットパルス発生回路を備えてなることを特徴とする請求項5に記載のICカードのトランシーバ用半導体集積回路。

【請求項7】 1枚のカード状基板上に、請求項6に記載のトランシーバ用半導体集積回路と、該半導体集積回路に接続された電磁結合手段と、マイクロコンピュータチップとが搭載され、上記トランシーバ用半導体集積回路のパワーオンリセット発生回路からの信号に基づいて上記マイクロコンピュータチップに対するリセットパルスの供給が行なわれるとともに、上記マイクロコンピュータチップは上記トランシーバ用半導体集積回路を介して外部装置との間のデータの送受信を行なうように構成

されてなることを特徴とする非接触型ICカード。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体集積回路におけるパワーオンリセット発生回路に適用して有効な技術に関し、特に非接触型ICカードに用いられるトランシーバ用半導体集積回路におけるパワーオンリセット発生回路に利用して有効な技術に関する。

【0002】

【従来の技術】 非接触型ICカードとして、コイルの相互誘導現象を利用してデータの送受信および電力の供給を受けるようにしたものが提案されている。かかる非接触型ICカードにはデータ処理を行なうマイクロコンピュータと、マイクロコンピュータとコイルとの間に接続されて外部装置との間でデータの送受信を行なうためのトランシーバ用半導体集積回路が搭載される。このようなトランシーバ用半導体集積回路においては、電磁結合を使用してコイルを介して入力される交流信号から電源電圧および受信データ信号が生成される。そして、交流信号を整流して直流電圧を発生する際すなわち電源電圧が立ち上がるときにマイクロコンピュータに対して供給されるリセットパルスを形成するためのパワーオンリセット発生回路が設けられる。

【0003】 従来、パワーオンリセット発生回路としては、例えば図7(A)、(B)に示すような回路があった。

【0004】 このうち、図7(A)に示す回路は、CR時定数回路とインバータとを組合せ、時定数回路の電位がインバータG1の論理しきい値レベルを超えたときにパワーオンリセットパルスを発生するようにしたものである。一方、図7(B)に示す回路は、図7(A)の回路の前に電源電圧を抵抗分割する分圧回路と、分圧された電圧と基準電圧Vrefとを比較する比較器CMPとを設けたものである。

【0005】

【発明が解決しようとする課題】 本発明者等は、非接触型ICカードに用いられるトランシーバ用半導体集積回路におけるパワーオンリセット発生回路について検討した。

【0006】 電源電圧が立ち上がるときにマイクロコンピュータに対してリセットパルスを出力するパワーオンリセット発生回路は、マイクロコンピュータが誤動作しない電源電圧になってからリセットパルスを出力する必要があるが、図7(A)の回路にあつては、電源電圧のレベルを検出するインバータ自身の電源電圧が変動するとともに、プロセスのばらつきによりインバータの論理しきい値がばらついてしまうため、リセットパルスを発生する電源電圧レベルの設定が困難であるという欠点がある。

【0007】 一方、図7(B)の回路にあつては、電源

電圧が下がったときに不要なリセットパルスが発生するおそれがある。特に非接触型ＩＣカードの場合にはカードの位置決めが比較的ラフであるので、カードとそのリード・ライト装置との結合状態が変化して電源電圧が変動し易いため上記のような問題点が発生するおそれが高い。

【０００８】本発明の目的は、電源電圧が所定のレベルに達したときに正確にパワーオンリセット信号を発生できるパワーオンリセット発生回路を提供することにある。

【０００９】本発明の他の目的は、電源電圧が変動しても許容範囲内であればパワーオンリセット信号を発生しないようなパワーオンリセット発生回路を提供することにある。

【００１０】この発明の前記ならびにそのほかの目的と新規な特徴については、本明細書の記述および添附図面から明らかになるであろう。

【００１１】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を説明すれば、下記のとおりである。

【００１２】すなわち、本発明のパワーオンリセット発生回路は、電源電圧を分圧する抵抗分圧回路で分圧された電圧とバンドギャップ基準電圧発生回路からの基準電圧とを比較する比較器の入力端子に抵抗を介して基準電圧を入力するとともに直列形態の抵抗とスイッチトランジスタとからなるブルダウン回路を接続し、前記スイッチトランジスタを出力信号によって制御して、パワーオンリセット信号発生後は上記抵抗によって上記比較器の比較レベルをパワーオンリセット信号発生前よりも強制的に低くする。また、上記比較器の後段に該比較器の出力をイネーブル信号とし、入力交流信号を波形整形する受信回路もしくは入力回路からの信号によって電源電圧による充電を開始する時定数回路と、該時定数回路の充電電圧のレベルを判定して所定のレベルになったときにパワーオンリセット信号を出力する論理回路とを設けるようにしたものである。

【００１３】上記した手段によれば、半導体集積回路において温度変化や電源電圧の変動にかかわらず一定の電圧を発生することができるバンドギャップ基準電圧発生回路からの基準電圧に基づいてパワーオンリセット信号を出力するので、電源電圧が所定のレベルに達したときに正確にパワーオンリセット信号を発生することができる。とともに、パワーオンリセット信号発生後は比較器の比較レベルを低くするため電源電圧が変動してもそれが許容範囲内すなわち回路（マイクロコンピュータ等）の安定動作レベル以上であればパワーオンリセット信号を発生しないようにすることができる。また、上記比較器の後段に該比較器の出力をイネーブル信号とする時定数回路を設けているので、電源電圧が回路の安定動作レベ

ルを充分に超えてからパワーオンリセット信号を発生させることができる。

【００１４】上記時定数回路としては、入力交流信号を波形整形する受信回路もしくは入力回路からの信号によってオン、オフ動作するスイッチと該スイッチがオンしたときに電荷が注入される容量とからなるチャージポンプ回路を用いるようにする。これによって、入力交流信号の強度すなわち振幅に応じてチャージポンプ回路を充電動作させ、電源電圧の立ち上がり速度に応じた適切なタイミングでパワーオンリセット信号を出力させることができる。

【００１５】さらに、上記パワーオンリセット発生回路の次段に上記パワーオンリセット信号発生後にクロック発生回路からのクロック信号を計数し所定数以上になったときにリセットパルスを出力するリセットパルス発生回路を設けると良い。これによって、クロック信号が確実に発生した後にマイクロコンピュータ等に対するリセットパルスを発生させることができ、マイクロコンピュータ等の誤動作を防止することができる。

【００１６】

【発明の実施の形態】以下、本発明の実施例について図面を用いて説明する。

【００１７】図１は本発明に係るパワーオンリセット発生回路を備えた非接触型ＩＣカードに用いられるトランシーバ用ＩＣ１０の構成およびこれを搭載したＩＣカード全体の概略構成を示すブロック図である。

【００１８】この実施例のトランシーバ用ＩＣを搭載したＩＣカードは、例えばプリント配線層により渦巻き状に形成されたコイルＬと、該コイルＬの両端子に接続されデータの送受信および電源電圧の生成を行なうトランシーバ用ＩＣ１０と、該トランシーバ用ＩＣ１０に接続されデータの処理、記憶および送信データの形成を行なうマイクロコンピュータチップ２０と、上記トランシーバ用ＩＣ１０に接続された外付けのコンデンサＣＦ、Ｃｔ１、Ｃｔ２等により構成されている。図には１つの渦巻きパターンからなるコイルが示されているが、外部のリード・ライト装置のヘッドの構成に応じて同様の渦巻きパターンを２つ有するコイルとされる場合もある。

【００１９】上記マイクロコンピュータチップ２０は記憶装置として電氣的に書き込み・消去が可能なＥＥＰＲＯＭを内蔵しており、ＩＣカードがリード・ライト装置から排出されて電源の供給を受けない状態においてもデータを保持できるように構成されている。

【００２０】特に制限されないが、トランシーバ用ＩＣ１０内の各ブロックを構成する回路素子は、公知の半導体集積回路の製造技術によって、単結晶シリコンのような１個の半導体基板上において形成される。

【００２１】１はトランシーバ用ＩＣ１０の外部端子Ｔ１、Ｔ２に接続（外付け）された電磁結合手段としてのコイルＬより入力された交流信号を整流して直流電源電

圧を生成するダイオードブリッジからなる整流回路で、この整流回路1の出力ノードは外部端子T3に接続され、この外部端子T3には10nFのような比較的大きな容量値を有する電源フィルタ容量CFが接続可能にされている。2は整流回路1によって整流された電圧の変動を吸収して6~20Vの所定の電位の電源電圧Vccを生成する電圧リミッタ回路、3は生成された電源電圧Vccを安定化させるシリーズレギュレータからなる電源安定化回路で、この電源安定化回路3から出力された電源電圧VDDは当該チップ内部の各回路に供給されるとともに、外部端子T4に接続されたマイクロコンピュータチップ20へも供給される。

【0022】4は上記電源安定化回路3から出力される電源電圧VDDを監視して電源投入時にパワーオンリセット信号を発生するパワーオンリセット発生回路、5は外部のマイクロコンピュータチップ20に対するリセットパルスPrを発生するリセットパルス発生回路である。このリセットパルス発生回路5は、上記パワーオンリセット発生回路4の出力がハイレベルに立ち上がりしてから後述のPLL回路からなるクロック発生回路より出力されるクロック信号を所定数計数したときに、リセットパルスPrを形成して外部端子T5よりマイクロコンピュータチップ20へ出力する。

【0023】6は上記コイル接続用外部端子T1、T2に接続され入力交流信号を波形整形して出力するデータ受信回路、7は波形整形された信号から「0」、「1」のデータを再生するデータ復調回路で、復調されたデータは外部端子T6よりマイクロコンピュータチップ20へ出力される。この実施例のトランシーバ用ICは、特に制限されないが、PSK (Phase Shift Keying) 変調された信号の位相変化を検出してデータを復調するように構成されている。上記データ復調回路7は、例えば後述のクロック発生回路から供給されるクロック信号に同期して、上記データ受信回路6から出力された信号をラッチするフリップフロップ等により構成することができる。

【0024】8は上記データ受信回路6で波形整形された信号に基づいて入力交流信号に含まれている4.91MHzの周波数の基準クロック信号に同期したクロック信号CLKを発生するクロック発生回路で、発生されたクロックCLKはチップ内のリセットパルス発生回路5や外部端子T7を介してチップ外部のマイクロコンピュータ20等へ供給される。9は外部端子T8を介してマイクロコンピュータチップ20より入力されるシリアル送信データに基づいて、外部端子T9、T10にドレイン端子が接続されているドライブMOSFET Qd1、Qd2をオン、オフ駆動して、コンデンサCt1、Ct2とコイルLとからなる共振回路を共振状態および非共振状態に切り換えることでデータを送信するバッファ回路等からなるデータ送信回路である。

【0025】この実施例のPLL回路からなる上記クロック発生回路8は、外部から入力された交流信号から抽出された基準クロック信号CKinと帰還クロック信号CKfの位相差を検出する位相比較器80と、抵抗R1、R2と容量C1とからなり位相差に応じた制御電圧Vcoを発生するループフィルタ83と、このループフィルタ83からの制御電圧Vcoに応じた周波数で発振する電圧制御発振器84と、上記ループフィルタ83の出力電圧Vcoを監視してPLLの誤ロックを防止する信号および発振器の発振許可信号を形成して上記チャージポンプ82及び電圧制御発振器84に供給する誤ロック防止回路85と、上記電圧制御発振器84の発振信号を分周する分周器86とにより構成されている。

【0026】上記分周器86より出力されたクロック信号CLKは帰還クロックCKfとして上記位相比較器81に帰還されるとともに、システムクロックとして上記データ復調回路7およびリセットパルス発生回路5並びに外部のマイクロコンピュータチップ20に対して供給される。

【0027】図2には、上記パワーオンリセット発生回路4の実施例が示されている。

【0028】この実施例のパワーオンリセット発生回路4は、上記電源安定化回路3から供給される電源電圧VDDと接地点との間に直列に接続された抵抗R11、R12からなる分圧回路と、前記抵抗R11、R12の接続ノードn1の電位を反転入力端子に受けかつ非反転入力端子にシリコンのバンドギャップに相当する電圧(1.0~1.2V)を発生するバンドギャップ基準電圧発生回路からの基準電圧Vrefが印加された比較器CMPと、該比較器CMPの出力をイネーブル信号として動作する時定数回路CRGと、その後段に接続されたインバータG1、G2とから構成されている。

【0029】そして、上記比較器CMPの非反転入力端子に、抵抗R13を介して基準電圧Vrefが入力されるとともに直列形態の抵抗R14とスイッチトランジスタQsとからなるプルダウン回路が接続され、前記スイッチトランジスタQsのベースにインバータG2の出力信号が抵抗R15を介して帰還されるように構成されている。また、上記時定数回路CRGは、上記比較器CMPの出力電圧Vcomを抵抗R16を介してベースに受け、エミッタが接地点に接続された制御用トランジスタQ1と、該トランジスタQ1のコレクタにスイッチMOSFET Q2を介して接続された定電流源I1と、上記トランジスタQ1のコレクタと接地点との間に接続された容量C2とにより構成され、上記MOSFET Q2のゲートに前述のデータ受信回路6からのパルスφiが入力され、Q2と容量C2との接続ノードn2に前記インバータG1の入力端子が接続されている。

【0030】次に、上記パワーオンリセット発生回路4の動作を図3のタイミングチャートを用いて説明する。

【0031】電源電圧VDDが立ち上がり始めると、まず比較器CMPが活性化されてその出力がハイレベルとなってトランジスタQ1がオンされ、容量C2の電荷が引き抜かれて、ノードn2の電位は接地電位とされる。従って、このときインバータG1の出力はハイレベル、G2の出力はロウレベルであり、比較器CMPの非反転入力端子側のトランジスタQsはオフ状態とされ、非反転入力端子には基準電圧Vrefがそのまま印加される。そして、電源電圧VDDがさらに上昇して抵抗R11、R12によって分圧されたノードn1の電位が基準電圧Vrefよりも高くなると、上記比較器CMPの出力Vcomがロウレベルに反転してトランジスタQ1がオフされる(図3のタイミングt1)。

【0032】一方、スイッチMOSFET Q2のゲートにはデータ受信回路6からクロック状のパルスφiが入って来るため、Q2はオン、オフを繰り返し、Q2がオンしている間に定電流源I1から容量C2に電荷が流れ込んで充電され、ノードn2の電位Vn2が徐々に上昇する。このノードn2の電位Vn2がインバータG1の論理しきい値よりも高くなる(図3のタイミングt2)と、インバータG1の出力がハイレベルからロウレベルに変化し、これがパワーオンリセット信号Ponとして次段のリセットパルス発生回路5に供給される。すると、カウンタからなるリセットパルス発生回路5はクロックパルスを計数し、所定数を計数すると出力がロウレベルからハイレベルへ変化し(図3のタイミングt3)、これがリセットパルスPrとしてマイクロコンピュータチップ20等へ出力される。

【0033】また、インバータG1の出力がロウレベルになると次段インバータG2の出力はハイレベルに変化しこれによってトランジスタQsがオンされる。すると、比較器CMPの非反転入力端子には基準電圧Vrefを抵抗R13とR14の比で分割した電圧Vcが印加され、比較レベルがパワーオンリセット信号発生前よりも強制的に低くされる。その結果、トランジスタQsがなく基準電圧Vrefでのみ電源電圧レベルを判定する場合には、図3の符号Aのように、電源電圧VDDが判定レベルVb(=Vref)以下に低下しただけで上記比較器CMPの出力が反転してトランジスタQsがオンされ、容量C2の電荷がディスチャージされてパワーオンリセット信号Ponがハイレベルに立ち上がってリセットパルスPrを立ち下げてしまうものが、実施例の回路では電源電圧VDDがVbよりも低いVc以下に下がったときに初めて比較器CMPの出力が反転しパワーオンリセット信号Ponがロウレベルに変化ようになる(図3のタイミングt4)。

【0034】従って、上記電圧Vcがマイクロコンピュータの動作安定電圧と一致するように抵抗R13とR14の抵抗比を設定しておくことにより、電源電圧VDDが十分に立ち上がってマイクロコンピュータが動作を開始

した後にカードがずれてリード・ライト装置との電磁結合が緩くなり電源電圧VDDが低下したような場合に、電源電圧がマイクロコンピュータの動作安定電圧Vcよりも高ければリセットパルスPrが立ち下がりリセットがかかるのを回避することができるようになる。つまり、電源電圧VDDが図3に鎖線Aで示すような変動をした場合、従来のパワーオンリセット発生回路ではパワーオンリセット信号が立ち下がりマイクロコンピュータ等に対してリセットがかかってしまうものが、上記実施例のパワーオンリセット発生回路を使用した場合にはマイクロコンピュータ等にリセットがかからないようにされる。なお、図3において、Vdは実施例の回路が動作する最低電圧レベルである。

【0035】図4には、上記パワーオンリセット発生回路4のより具体的な実施例回路が示されている。

【0036】図4において、図2の回路と同一の回路部分には同一の符号が付されている。この実施例の回路は基本的な構成は図2の回路と同じであり、同様の作用効果を有する。第1の実施例回路に加えてこの実施例では、比較器CMPの反転入力端子(-)と接地点との間に電源電圧VDDからノイズを除去する容量C3が設けられている。そして、電源電圧VDDを分圧する抵抗R11、R12はそれぞれ10kΩ、90kΩのような抵抗値に設定され、容量C2は25pFのような容量値に設定されている。

【0037】比較器CMPは、ダーリントン接続された入力トランジスタQ11、Q12とQ13、Q14、アクティブ負荷トランジスタQ15、Q16、出力エミッタ接地トランジスタQ17および定電流用トランジスタQ21～Q24からなる差動増幅回路11と、トランジスタQ31～Q40からなり上記定電流用トランジスタQ21～Q24にベースバイアス電圧を与えるバイアス回路12とから構成されている。時定数回路CRGを構成する定電流源I1は、比較器CMPの非反転入力端子に印加される基準電圧Vrefと同一の基準電圧がベースに印加され所定の電流を流すトランジスタQ41と、このトランジスタQ41のコレクタ側に接続されカレントミラー回路を構成するMOSFET Q42、Q43とから構成され、Q43のドレインが前記スイッチMOSFET Q2のドレインに接続されて容量C2をチャージアップするための電流を与える。インバータG1は直列形態のMOSFET Q51、Q52により、またインバータG2は同じく直列形態のMOSFET Q61、Q62によりそれぞれ構成されている。

【0038】図5および図6には、図2のパワーオンリセット発生回路の変形例が示されている。

【0039】このうち図5の実施例の回路は、図2の実施例におけるバイポーラ・トランジスタQs、Q1の代わりにMOSFETを用いるようにしたもので、図2のパワーオンリセット発生回路とほぼ同様の作用効果を有

する。Q_s、Q₁としてMOSFETを用いたことにより、ベース抵抗となる抵抗R₁₅、R₁₆は不要となる。また、インバータG₁、G₂も省略している。

【0040】図6の実施例の回路は、図2の実施例における時定数回路CRGのMOSFET Q₂の代わりに抵抗R₁₇を用い、チャージポンプ型時定数回路の代わりにCR時定数回路としたもので、図2のパワーオンリセット発生回路とほぼ同様の作用効果を有する。

【0041】以上説明したように上記実施例のパワーオンリセット発生回路は、電源電圧を分圧する抵抗分圧回路で分圧された電圧とバンドギャップ基準電圧発生回路からの基準電圧とを比較する比較器の入力端子に抵抗を介して基準電圧を入力するとともに直列形態の抵抗とスイッチトランジスタとからなるブルダウン回路を接続し、前記スイッチトランジスタを出力信号によって制御して、パワーオンリセット信号発生後は上記抵抗によって上記比較器の比較レベルをパワーオンリセット信号発生前よりも強制的に低くするとともに、上記比較器の後段に該比較器の出力をイネーブル信号とし、入力交流信号を波形整形する受信回路もしくは入力回路からの信号によって電源電圧による充電を開始する時定数回路と、該時定数回路の充電電圧のレベルを判定して所定のレベルになったときにパワーオンリセット信号を出力する論理回路とを設けるようにしたので、半導体集積回路において温度変化や電源電圧の変動にかかわらず一定の電圧を発生することができるバンドギャップ基準電圧発生回路からの基準電圧に基づいてパワーオンリセット信号を出力するため、電源電圧が所定のレベルに達したときに正確にパワーオンリセット信号を発生することができるとともに、パワーオンリセット信号発生後は比較器の比較レベルを低くするため電源電圧が変動してもそれが許容範囲内すなわち回路（マイクロコンピュータ等）の安定動作レベル以上であればパワーオンリセット信号を発生しないようにすることができる。また、上記比較器の後段に該比較器の出力をイネーブル信号とする時定数回路を設けているので、電源電圧が回路の安定動作レベルを充分に超えてからパワーオンリセット信号を発生させることができるという効果がある。

【0042】上記時定数回路として、入力交流信号を波形整形する受信回路もしくは入力回路からの信号によってオン、オフ動作するスイッチと該スイッチがオンしたときに電荷が注入される容量とからなるチャージポンプ回路を用いるようにしたので、入力交流信号の強度すなわち振幅に応じてチャージポンプ回路を充電動作させ、電源電圧の立ち上がり速度に応じた適切なタイミングでパワーオンリセット信号を出力させることができるという効果がある。

【0043】さらに、上記パワーオンリセット発生回路の次段に上記パワーオンリセット信号発生後にクロック発生回路からのクロック信号を計数し所定数以上になっ

たときにリセットパルスを出力するリセットパルス発生回路を設けるようにしたので、クロック信号が確実に発生した後にマイクロコンピュータ等に対するリセットパルスを発生させることができ、マイクロコンピュータ等の誤動作を防止することができるという効果がある。

【0044】以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明はそれに限定されるものでなく、例えば上記実施例では、パワーオンリセット発生回路の次段に該パワーオンリセット発生回路で形成された信号に基づいてクロック信号を計数して所定数を計数したときにリセットパルスを出力するリセットパルス発生回路を設けているが、このリセットパルス発生回路はデータ受信回路から出力されるパルスを計数してリセットパルスを出力するように構成しても良い。

【0045】以上の説明では主として本発明者によってなされた発明をその背景となった利用分野である電磁結合の非接触型ICカードに用いられるトランシーバICにおけるパワーオンリセット発生回路に適用した場合について説明したが、本発明は発明はそれに限定されるものでなく半導体集積回路におけるパワーオンリセット発生回路一般に利用することができる。

【0046】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記のとおりである。

【0047】すなわち、電源電圧が所定のレベルに達したときに正確にパワーオンリセット信号を発生できるとともに、電源電圧が変動しても許容範囲内であればパワーオンリセット信号を発生しないようなパワーオンリセット発生回路を実現することができる。

【図面の簡単な説明】

【図1】本発明に係るパワーオンリセット発生回路を備えた非接触型ICカードに用いられるトランシーバ用ICの構成を示すブロック図である。

【図2】パワーオンリセット発生回路の実施例を示す回路構成図である。

【図3】パワーオンリセット発生回路における電源電圧と各部の信号波形を示す波形図である。

【図4】図2のパワーオンリセット発生回路の具体例を示す回路図である。

【図5】パワーオンリセット発生回路の第2の実施例を示す回路図である。

【図6】パワーオンリセット発生回路の第3の実施例を示す回路図である。

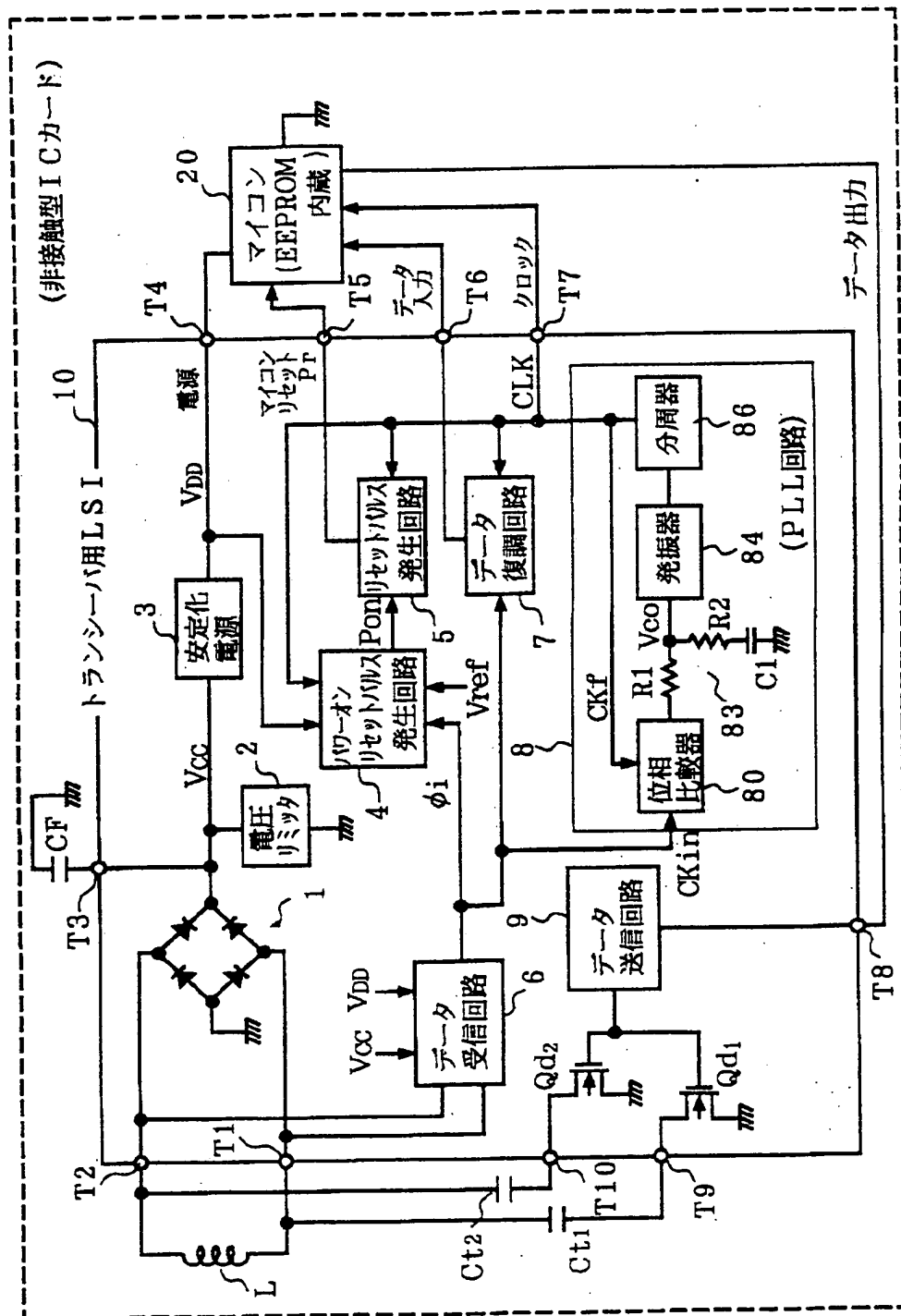
【図7】本発明に先立って検討したパワーオンリセット発生回路の構成例を示す回路図である。

【符号の説明】

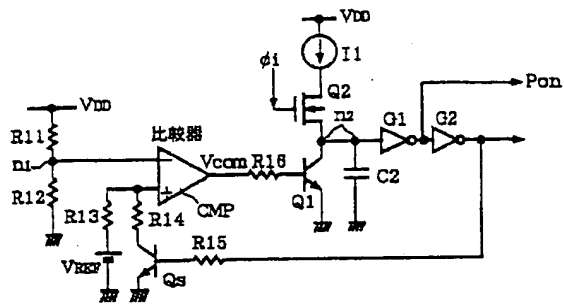
- L コイル
- 1 整流回路
- 2 電圧リミッタ回路（定電圧電源回路）

- | | |
|-----------------|-------------------|
| 3 電源安定化回路 | 8 クロック発生回路 |
| 4 パワーオンリセット発生回路 | 9 データ送信回路 |
| 5 リセットパルス発生回路 | 10 トランシーバ用半導体集積回路 |
| 6 データ受信回路 | 20 マイクロコンピュータ |
| 7 データ復調回路 | |

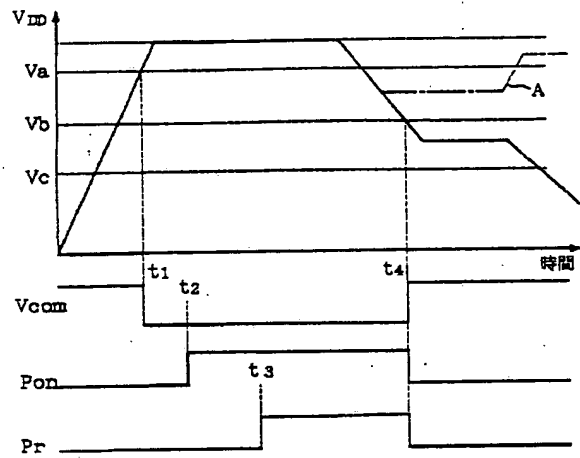
【図1】



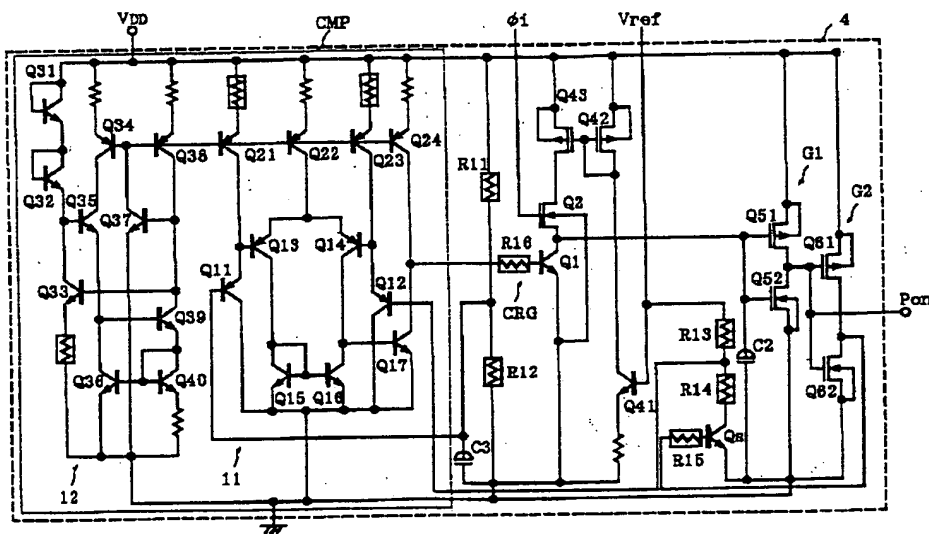
【図2】



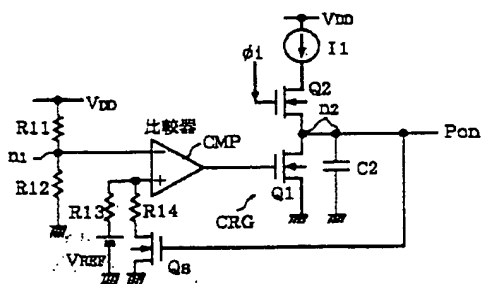
【図3】



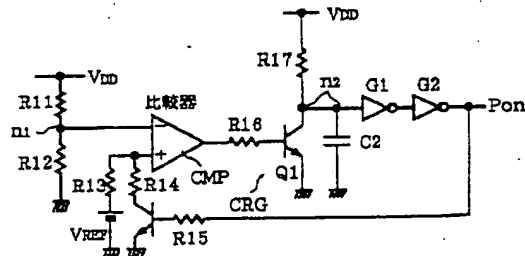
【図4】



【図5】

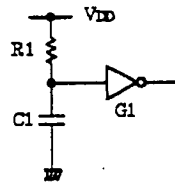


【図6】

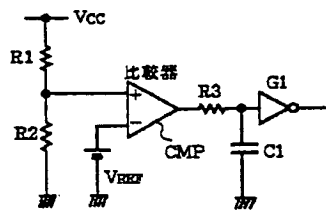


【図7】

(A)



(B)



フロントページの続き

(72)発明者 大河原 浩
 東京都小平市上水本町5丁目22番1号 株
 式会社日立マイコンシステム内

(72)発明者 安藤 公明
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所中央研究所内